

## ODE4EC-AMS

Open Design Environment for European Chips- Analog and Mixed Signal

|                                     |                                                                           |                        |            |
|-------------------------------------|---------------------------------------------------------------------------|------------------------|------------|
| <b>Programm / Ausschreibung</b>     | DST 24/26, Internationale DST 2025, Chips JU - CEI: Open Source EDA Tools | <b>Status</b>          | laufend    |
| <b>Projektstart</b>                 | 01.06.2026                                                                | <b>Projektende</b>     | 31.05.2029 |
| <b>Zeitraum</b>                     | 2026 - 2029                                                               | <b>Projektlaufzeit</b> | 36 Monate  |
| <b>Barwert der Projektförderung</b> | € 178.888                                                                 |                        |            |
| <b>Keywords</b>                     | analog, mixed signal, IC design, methodology development                  |                        |            |

### Projektbeschreibung

Dieses Projekt zielt darauf ab, das Potenzial von Open-Source-EDA-Tools (Electronic Design Automation) zu nutzen, um ausgereifte Knotenpunkte für die Produktentwicklung zugänglich zu machen und so die Einstiegshürden für KMUs und Start-ups im ASIC-Design deutlich zu senken.

Durch die Behebung kritischer Tool-Lücken im Chip-Design-Flow, nämlich der elektromagnetischen und Hochfrequenz (HF)-Simulation, der Extraktion von Parasiten, der Tool-Schnittstellen und der Datenverarbeitung, zielt dieses Projekt darauf ab, die Benutzerfreundlichkeit und Funktionalität dieser Tools zu verbessern.

Um die Entwicklung von analogen, Mixed-Signal und RF Intellectual Properties (IP) Blöcken zu beschleunigen, wird ein modulares, skalierbares und erweiterbares Framework für die Designgenerierung mit einer robusten Architektur entwickelt, das eine breite Palette von Design-Automatisierungsaufgaben und Workflows abdecken kann.

Die Effektivität des Projekts wird durch die Entwicklung fortschrittlicher Open-Source-IP-Blöcke demonstriert, die die Leistungsfähigkeit und Nutzbarkeit der Tools in einem realen Kontext demonstrieren.

Darüber hinaus wird die Erstellung spezieller Schulungsmaterialien die Anwender in der Industrie befähigen und eine breitere Akzeptanz und Beherrschung der Open-Source-EDA-Lösungen erleichtern.

### Abstract

This project aims to harness the potential of open source Electronic Design Automation (EDA) tools to make mature nodes accessible for product development, significantly lowering the barriers to entry for SMEs and start-ups in ASIC design.

By addressing critical tool gaps in the chip design flow, namely electromagnetic and Radio Frequency (RF) simulation, parasitic extraction, tool interfaces and data handling, this project aims to improve the usability and functionality of these tools.

To accelerate development of analogue, Mixed-Signal, and RF Intellectual Properties (IP) blocks design generation framework, that is modular, scalable, and extensible, will be developed with a robust architecture that can accommodate a wide range of design automation tasks and workflows.

The effectiveness of the project will be demonstrated through the development of advanced open source IP blocks that will

demonstrate the performance and usability of the tools in a real-world context.

In addition, the creation of specialized training materials will empower industry users and facilitate wider adoption and proficiency with open source EDA solutions.

### **Projektpartner**

- Infineon Technologies Austria AG