

PASTE-DTCO

Process-Aware Structure Emulation for Device-Technology Co-Optimization

Programm / Ausschreibung	Bridge, Bridge_NATS, Bridge_NATS 2019	Status	abgeschlossen
Projektstart	01.09.2020	Projektende	30.11.2022
Zeitraum	2020 - 2022	Projektlaufzeit	27 Monate
Keywords	Process emulation; Compact process models, Process variability; Parameter extraction; DTCO		

Projektbeschreibung

Die weitere Transistorskalierung nach dem Mooreschen Gesetz stieß auf mehrere Hindernisse, nachdem die Skalierung von planaren Bauelementen physikalisch nicht mehr möglich war. Die Einführung von nichtplanaren FinFETs hat es ermöglicht, die Skalierung weiter fortzusetzen, aber dies ist nur bis zum 3nm Knoten praktikabel. Danach, in etwa 5 Jahren, ist der beste Kandidat für den Ersatz von FinFETs ein gestapelter Nanoschicht Gate-All-Around-Transistor, der sehr komplexe Herstellungsschritte erfordert und erhebliche prozessbedingte Variationen mit sich bringt. Diese Abweichungen haben einen entscheidenden Einfluss auf die Geräteleistung und müssen bei der Durchführung von Geräte- und Schaltungssimulationen berücksichtigt werden. Dies geschieht im Rahmen einer Kooptimierungsstrategie für Designtechnologien, die von der Halbleiterindustrie zunehmend verfolgt wird.

Entscheidend für die Berücksichtigung von Prozessvariabilitäten in Gerätesimulationen und die Extraktion parasitärer Parameter ist die Fähigkeit, die prozessabhängigen Strukturen schnell und effizient zu generieren und zur Vorbereitung auf weitere Simulationen zu gittern. Die Methoden, die in der Industrie derzeit eingesetzt werden, haben mehrere Nachteile, darunter die Notwendigkeit einer häufigen Nachvergitterung, die Verwendung unnötig detaillierter Details und einen hohen Speicherbedarf. All diese Nachteile führen zu einer Verlängerung der Simulationsdauer ohne einen Genauigkeitsgewinn, weshalb ein innovativer Ansatz für dieses Problem sehr gefragt ist.

Das Hauptziel dieses Projekts ist es, mehrere Strategien zur Strukturgenerierung zu untersuchen, von der schnellen hierarchischen Prozesssimulation und Emulation mit fortschrittlichen Methoden bis hin zur Anwendung eines neuen Forschungsbereichs durch die Entwicklung kompakter Prozessmodelle. Diese Modelle können verwendet werden, um effizient eine verfahrensorientierte Strukturgeometrie zu erstellen, in der der Bauelemente-Designer keine Expertenkenntnisse über die anzuwendenden Fertigungsschritte benötigt.

Abstract

The continued transistor scaling along Moore's law has encountered several bumps in the road once the scaling of planar devices was no longer physically feasible. The introduction of the non-planar FinFETs have allowed scaling to continue, but

this is only expected to be viable beyond the 3nm node. After this, in about 5 years time, the best candidate to replace FinFETs is a stacked nanosheet gate-all-around transistor, which requires very complex fabrication steps, introducing significant process-induced variations. These variations have a critical impact on device performance and must be included when performing device and circuit simulations and designs within a design technology co-optimization strategy increasingly embraced by the semiconductor industry.

Central to the inclusion of process variability in device simulations and parasitic parameter extraction is the ability to quickly and efficiently generate the process-aware structures and mesh them in preparation for further simulations. The methods industry currently applies have several drawbacks, including the need for frequent re-meshing, the use of unnecessarily detailed features, and high memory requirements. All these drawbacks result in increased device simulation times without any gain in accuracy, which is why an innovative approach for this problem is highly desired.

The principal aim of this project is to investigate several strategies for structure generation, from fast hierarchical process simulation and emulation using advanced techniques to the application of a new field of research in the development of process compact models. These models can be used to efficiently create a process-aware structure geometry without the need for the device designer to have expert knowledge of the fabrication steps being applied.

Projektkoordinator

- Technische Universität Wien Institut für Mikroelektronik

Projektpartner

- Global TCAD Solutions GmbH