

ChipLink-TRX

Chiplet Communication Link Transceiver

Programm / Ausschreibung	KS 24/26, Bridge 2024, Bridge 2024/02	Status	laufend
Projektstart	01.07.2025	Projektende	30.06.2028
Zeitraum	2025 - 2028	Projektlaufzeit	36 Monate
Keywords	Chiplink; full-duplex CMOS transceiver; crosstalk cancelation; Chip-to-chip data link		

Projektbeschreibung

Die Entwicklung monolithischer CMOS System-on-Chips (SoCs) stößt aufgrund von Faktoren wie Systemkomplexität, Herstellungskosten und -ausbeute, Datenverzögerung und anderen Einschränkungen an ihre Grenzen. Ein schnell wachsender Trend, der die meisten dieser Probleme lösen könnte, ist die „Disaggregation“ von SoCs. Das bedeutet, dass verschiedene SoC-Blöcke als eigenständige Microchips in kosten- und leistungsoptimierten integrierten Schaltkreisen (IC), den so genannten „Chipelets“, hergestellt werden. Die Chipelets werden durch ein hochintegriertes System-in-Package (SiP), wie z.B. Si-Interposer, wieder zusammengesetzt oder miteinander verbunden. Ein Chipelet ist also ein IC, der eng mit anderen Chipelets zusammenarbeiten muss, um die Funktion eines (unrealistisch) großen monolithischen SoC zu rekonstruieren. Dies führt zu einem Kosten-, Leistungs- und Ausbeutevorteil der Anwendung. Die Realisierung zukünftiger Chipelet-Module erfordert eine multidisziplinäre Verschmelzung von Package- und Chip-Design Methodik.

Die Chipelet-Integration erfordert energie- und flächenoptimierte, serielle Datenverbindungen für die Chip-to-Chip-Kommunikation. Chipelet Datentransceiver verbinden zwei Chipelets mit einer großen Anzahl von parallelen Datenkanälen (bis zu 1000 und mehr). Dies erfordert neue Strategien zur Datensynchronisation, Entzerrung, Unterdrückung des Übersprechens bei erheblicher Leistungsreduktion. Die wichtigsten Kennzahlen für Chipelet-Kommunikationsschnittstellen sind daher die „Bandbreitendichte“ (wie viele Datenbits können über eine bestimmte Fläche übertragen werden) und die Leistungseffizienz (wie viel Energie wird für die Übertragung eines Bits an Informationen benötigt).

Die Forschungsziele des Projektes für die Realisierung von optimierten Chipelet Datentransceivern können wie folgt zusammengefasst werden.

Forschungsziel RO 1 - Vollduplex und Single-Ended Chipelet Transceiver Architekturen:

Neue Transceiver Architekturen für verbesserte Bandbreitendichte (kleine Fläche) und höhere Leistungseffizienz werden untersucht und in 28nm CMOS-Technologie realisiert. Um die strengen Anforderungen zu erfüllen, werden single-ended und full-duplex Datentransceiver erforscht, welche neue Strategien für die Datenentzerrung, Modulation und Echokompensation erfordern.

Forschungsziel RO 2 - Unterdrückung des Datenübersprechens:

Das Übersprechen zwischen den Metallleitungen von dicht geführten Datenbussen ist zu einer grundlegenden Limitierung der Daten-Bandbreite von Chiplet Bussen geworden. Die Erforschung und Implementierung aktiver Schaltungen zur Unterdrückung des Übersprechens ist der Schwerpunkt von Forschungsziel 2.

Forschungsziel RO 3 - Modellierung und Optimierung von Chiplet-Datenkanälen:

Die elektromagnetische Modellierung und Optimierung von SiP-Datenbussen ist eine wichtige Voraussetzung für RO1 und RO2. Nicht nur das elektromagnetische Übersprechen zwischen benachbarten Datenkanälen, sondern auch das Übersprechen zwischen Datenkanälen und empfindlichen On-Chip-Strukturen wie HF-Blöcken auf Kommunikationschips wird simuliert und optimiert.

Zur Laborverifikation der Chiplet-Transceiver Schaltungskonzepte werden zwei Demonstrator-Testchips in TSMC 28nm CMOS-Technologie unter Verwendung der Europractice mini@sic Prototypenfertigung hergestellt. Die Testchips werden auf optimierten SiP-Substraten mit mehrkanaligen Datenverbindungen montiert und durch Labormessungen verifiziert.

Abstract

Monolithic CMOS System-on-Chip (SoC) design is reaching hard limits due to factors such as system complexity, manufacturing costs and yield, on-chip interconnect delays and other manufacturing constraints. A fast-growing trend that could solve most of these problems is now approaching, the “disaggregation” of SoCs. This means, that different SoC building blocks are separated as stand-alone dies, realized in cost- and performance-optimized integrated circuit (IC) technologies, called “chiplets”. The chiplets are reassembled or interconnected by a high-density System-in-Package (SiP) substrate such as Si-Interposer. A chiplet is therefore an IC that must work closely with other chiplets that, when assembled together, reconstitute the function of an (unrealistically) large monolithic SoC, resulting in an overall cost, performance and yield advantage. The realization of future chiplet modules requires a multidisciplinary fusion between package and chip design methodology, including strategies for modeling, optimization and verification of the final SiP module.

Chiplet integration requires power optimized, low cost and small area serial data links for chip-to-chip communication. Chiplet transceivers connect two chiplets through a high number of parallel data channels (up to 1000 and more). This requires new strategies for data synchronization, equalization, crosstalk cancellation and significant power reduction. Since the overall data rates required for chip-to-chip communication are increasing exponentially, the key performance metrics for chiplet communication interfaces are bandwidth density (how many bits of data can be transmitted through a given geometry in) and power efficiency (how much energy is required to transmit 1 bit of information).

The research objectives for the realization of optimized chiplet data transceivers in this project are as follows.

Research objective RO 1 – Full-duplex and single-ended chiplet transceiver architectures:

New transceiver architectures for improved bandwidth density (small area) and power efficiency will be investigated and realized in 28nm CMOS technology. To meet the stringent requirements, single-ended and full-duplex data transceivers will be researched, requiring optimized data equalization, modulation and echo cancellation strategies.

Research objective RO 2 – Data crosstalk cancellation:

Crosstalk between the metal lines of densely routed data buses has become a fundamental limitation to extending the bandwidth of next-generation single-ended chiplet buses. Research and implementation of active crosstalk cancellation circuits is the main focus of research objective 2.

Research objective RO 3 – Chiplet data channel design modeling and optimization:

Electromagnetic modeling and optimization of SiP data buses is an important prerequisite for RO1 and RO2. Not only the electromagnetic crosstalk between adjacent data channels, but also the crosstalk between data channels and sensitive on-chip structures such as RF building blocks on communication chips will be simulated and optimized.

For laboratory verification of the chiplet transceiver circuit concepts, two demonstrator testchips will be fabricated in TSMC 28nm CMOS technology using the Europractice mini@sic prototyping MPW runs. The testchips will be mounted on optimized SiP substrates with multi-channel data links and verified by lab measurements.

Projektkoordinator

- FH Kärnten - gemeinnützige Gesellschaft mbH

Projektpartner

- Infineon Technologies Austria AG