

ParityEQ

PARALLELIZABLE ERROR CORRECTED QUANTUM COMPUTING WITH THE PARITY ARCHITECTURE

Programm / Ausschreibung	Seal of Excellence, Seal of Excellence Ausschreibung 2026	Status	laufend
Projektstart	01.09.2026	Projektende	31.08.2028
Zeitraum	2026 - 2028	Projektlaufzeit	24 Monate
Barwert der Projektförderung	€ 2.499.484		
Keywords	Quantum Computing, Quantum Error Correction, Quantum algorithms, Surface code, Compiler		

Projektbeschreibung

Im Rahmen von ParityEQ werden Blueprints und Softwaremodule entwickelt, die es ermöglichen, beliebige Quantenalgorithmen auf fehlerkorrigierten logischen Qubits mithilfe der ParityQC Architektur umzusetzen. Die Blueprints beinhalten Qubit-Layouts, Gate- und Messanweisungen auf Quantenhardware-Ebene sowie einen Decoder-Algorithmus zur Quantenfehlerkorrektur. Ziel ist es, Quantenhardwareentwicklern die Möglichkeit zu geben, industrierelevante Quantenalgorithmen deutlich effizienter zu implementieren und damit bereits auf früheren, potentiell noch nicht vollständig ausgereiften Hardwareplattformen nutzbar zu machen.

Das Fundament bildet das Parity Mapping, das mit etablierten Methoden der Surface-Code-Fehlerkorrektur und der Lattice Surgery kombiniert wird. Diese Kombination gewährleistet vollständige Fehlertoleranz und eröffnet die Möglichkeit nicht-lokaler Operationen. Die ParityQC Architektur ergänzt dies durch die Parallelisierung komplexer und weitreichender Wechselwirkungen sowie durch die integrierte Korrektur von Bit-Flip-Fehlern. Beides trägt dazu bei, die Ressourcenkosten des Surface Codes signifikant zu reduzieren.

Durch die Implementierung der ParityQC Architektur auf Basis von Code-Deformation lässt sich das Layout logischer Qubits und die Abfolge der Berechnungsschritte in Verbindung mit der Parity Compilation präzise auf die spezifischen Anforderungen eines Algorithmus abstimmen. Dies ermöglicht eine gezielte Minimierung der benötigten Qubit Anzahl und der Schaltungstiefe. Die entwickelten Softwaremodule werden in der Lage sein, Blueprints für eine Implementierung in der ParityQC Architektur zu erstellen und werden als Software-as-a-Service verfügbar sein.

Abstract

We will develop blueprints and software modules to implement arbitrary quantum algorithms using the ParityQC Architecture on error-corrected logical qubits. The blueprints include qubit layouts, gate and measurement instructions on the quantum hardware level and a decoder algorithm for quantum error correction. With our architecture, we will enable quantum hardware developers to implement industry-relevant quantum algorithms more efficient and thus on earlier, potentially less mature hardware. The basis for this will be the Parity Mapping, combined with methods from surface code

error correction and lattice surgery, which provides full fault-tolerance and the ability for non-local operations. With the ParityQC Architecture, we add parallelization of complex and long-range interactions and further, the ability to correct bit-flip errors, which can be used to decrease the resource cost of the surface code. The implementation of the ParityQC Architecture based on code deformation, in combination with Parity Compilation, allows one to tailor the logical qubit layout and computation steps to the specific algorithmic needs and minimize required qubit numbers and/or circuit depth. The developed software modules will be able to create blueprints for an implementation in the ParityQC Architecture and be available via Software-as-a-Service.

Projektpartner

- Parity Quantum Computing GmbH