

TRISTAN

Together for RISC-V Technology and Applications

Programm / Ausschreibung	IKT der Zukunft, ECSEL, ECSEL Calls 2021	Status	laufend
Projektstart	01.01.2023	Projektende	30.06.2026
Zeitraum	2023 - 2026	Projektaufzeit	42 Monate
Keywords	RISC-V Open-Source ASIC ISA		

Projektbeschreibung

Der RISC-V-Befehlssatz bietet die Möglichkeit, auf einfache Weise benutzerdefinierte Befehle hinzuzufügen. Dieses Projekt nutzt diese Funktionalität des Open-Source-RISC-V-Befehlssatzes und entwickelt benutzerdefinierte Befehle zum effizienteren Kodieren und Dekodieren digitaler Waveforms. Die Implementierung basiert auf dem CV32E40X RISC-V-Core, der von der OpenHW Group bereitgestellt wird. Diese Core stellt bereits eine spezifische Schnittstelle zum Hinzufügen benutzerdefinierter Anweisungen bereit.

Das Ergebnis des Projekts wird ein voll funktionsfähiger ASIC sein, der ein RISC-V- Core enthält, welches die beschriebenen kundenspezifischen Befehlserweiterungen enthält.

Abstract

The RISC-V instruction set provides an opportunity to add custom instructions in an easy way. This project leverages this functionality of the open source RISC-V instruction set and develops custom instructions for encoding and decoding digital waveform more efficiently. The implementation is based on the CV32E40X RISC-V core which is provided by the OpenHW Group and provides a specific interface for adding custom instructions.

The result of the project will be a fully functional ASIC including a RISC-V core containing the described custom instruction extensions.

Projektpartner

- semify GmbH
- semify e.U.