Rigoletto

RISC-V Generation of High-Performance Automotive Processors & Computing Platforms

Programm / Ausschreibung	DST 24/26, Internationale DST, Chips JU Non Initiative Calls 2024	**Status**	laufend
Projektstart	01.07.2025	**Projektende**	30.06.2028
Zeitraum	2025 - 2028	**Projektlaufzeit**	36 Monate
Keywords	RISC-V, Automotive, Security, Memory Safety, DSP		

Projektbeschreibung

Elektrifizierung und Autonomie treiben die rasante Entwicklung moderner Fahrzeuge voran und erfordern immer mehr Rechenleistung, in Verbindung mit Sicherheit und Effizienz. Die klassische, dezentralisierte Architektur mit mehreren elektronischen Steuergeräten (ECU) hat erhebliche Nachteile, wenn es um Skalierbarkeit geht und wird nach und nach untragbar. Der vorherrschende Megatrend hat zur Folge, dass immer mehr Schlüsselfunktionen softwaredefiniert sind, was unmittelbar bedeutet, dass der Softwaregehalt (Codezeilen) in einem Fahrzeug in nur 5 Jahren, bis 2030, um das Zehnfache auf 1 Milliarde ansteigen wird. Aus Hardware-Sicht erfordert die zunehmende Komplexität und Autonomie einen zentraleren Ansatz für die Datenverarbeitung an Bord, um Kosten-, Latenz- und Bandbreitenengpässe des bordeigenen Netzwerks zu verringern. Die Zentralisierung der E/E-Architektur erfordert die Verschmelzung mehrerer elektronischer Steuergeräte (ECUs) zu leistungsfähigen, voll programmierbaren Domain Control Units (DCUs) oder Zonal Control Units (ZCUs).

Um diesem Paradigmenwechsel gerecht zu werden, wird das RIGOLETTO-Projekt die Grundlage für eine Automotive-Hardware-Plattform der nächsten Generation schaffen, die auf der offenen RISC-V-Befehlssatzarchitektur (ISA) basiert und die führende Rolle Europas in der Automobilelektronikindustrie stärkt und sichert. Das Projekt steht im Einklang mit dem übergeordneten Ziel des „EU Chips Joint Undertaking“ und der Industrie-geleiteten Initiative „Vehicle of the Future" („Fahrzeug der Zukunft“): namentlich durch die Schaffung einer RISC-V-basierten Hardware-Plattform für Kraftfahrzeuge, die eng mit der Bildung eines offenen, softwaredefinierten Fahrzeug-Ökosystems verbunden ist, das von europäischen Automobilherstellern und -zulieferern geleitet wird. RIGOLETTO zielt auf die Entwicklung von RISC-V IP-Komponenten, darunter Prozessorkerne, Beschleuniger, Verbindungen, Speicherhierarchie und periphere Subsysteme ab. Ein breites Spektrum an Leistungsprofilen wird für DCUs und ZCUs der nächsten Generation angestrebt, um zunehmend elektrifizierte, automatisierte und vernetzte Fahrzeuge zu realisieren.

Die RISC-V-Befehlssatzarchitektur (ISA) bietet den europäischen „Integrated Device Manufacturers“ (IDM), den Tier-1-Unternehmen, sowie Automobil-OEMs eine einzigartige und zeitgemäße Möglichkeit, auf der Flexibilität und Dynamik einer quelloffenen ISA aufzubauen, die von einer großen globalen Industriegemeinschaft unterstützt wird. RIGOLETTO wird starke Standardisierungs- und Kooperationsanstrengungen unternehmen, um Fragmentierung und Doppelarbeit zu vermeiden.

Durch das Projekt wird der Ansatz einer gemeinsam entwickelten Referenzplattform, vorangetrieben und somit werden die Partner einen starken Innovationspfad in der Automobilelektronik schaffen.

Abstract

Electrification and autonomy drive the rapid evolution of modern vehicles, requiring increasing computational capabilities, coupled with safety and efficiency. The classical, decentralized multi- Electronic Control Units (ECU) architecture has significant drawbacks when it comes to scalability, and it is becoming untenable. The dominant megatrend pushes for an increasing number of key functionalities to be software-defined, with the direct implication that the software content (lines-of-code) in a vehicle will grow by 10x in just 5 years, to 1 billion by 2030. From a hardware viewpoint, increased complexity and autonomy requires a more centralized approach to on-board computing to curtail cost, latency and bandwidth bottlenecks of the in-vehicle network. Centralizing the E/E architecture requires merging multiple Electronic Control Units (ECUs) into powerful, fully programmable Domain Control Units (DCUs) or Zonal Control Units (ZCUs).

To address this paradigmatic shift, the Rigoletto project will establish the foundation for a next-generation Automotive Hardware Platform based on the open RISC-V instruction set architecture (ISA), bolstering and securing Europe's leading role in the automotive electronics industry. The project aligns with the high-level goal of EU Chips Joint Undertaking and the of the industry-led Vehicle of the Future initiative: namely, the creation of a RISC-V based automotive hardware platform strongly linked with the formation of an open, software-defined vehicle ecosystem led by European automotive manufacturers and suppliers. Rigoletto aims at developing RISC-V intellectual property (IP) components, including processor cores, accelerators, interconnects, memory hierarchy and peripheral subsystems. A wide range of performance profiles will be targeted for next-generation DCUs and ZCUs, to enable increasingly electrified, automated, and connected vehicles.

The RISC-V instruction set architecture (ISA) presents a unique and timely opportunity for European Integrated Device Manufacturers (IDM), Tier 1s and also automotive OEMs to build upon the flexibility and momentum of an open-source ISA, supported by a large global industrial community. Rigoletto will establish strong standardization and collaboration efforts, as necessary, to avoid fragmentation and duplication of work. Through the collaboratively developed reference platform approach spearheaded by the project, the partners will establish a strong innovation path in automotive electronics.

Projektpartner

- Silicon Austria Labs GmbH