ADC-Labs

Austrian DC-Laboratories

Programm / Ausschreibung	Energieforschung (e!MISSION), Energieforschung, Energieforschung 3. Ausschreibung 2016	**Status**	abgeschlossen
Projektstart	01.03.2017	**Projektende**	31.08.2019
Zeitraum	2017 - 2019	**Projektlaufzeit**	30 Monate
Keywords	Testmethoden für Smart Grids (LV-HV), Power-Hardware-in-the-Loop (P-HIL)		

Projektbeschreibung

Durch die stetige Zunahme von leistungselektronischen Komponenten und Systemen in den verschiedenen Ebenen des elektrischen Netzes (LV-Niederspannung, MV-Mittelspannung und HV-Hochspannung) werden von Forschung und Industrie vermehrt DC-Netze diskutiert. Neben konkreten existierenden Anwendungen wie HVDC für Übertragungsnetze gibt es auch Bestrebungen in den niedrigeren Spannungsebenen diese Technologien zu verwenden. Dadurch steigt aber auch der Bedarf an neuartigen Testmethoden für diese Systeme.

Da die Methode Power-Hardware-in-the-Loop (P-HIL) im AC-Niederspannungsnetz für Systemtests unter anderem auch durch bereits am AIT durchgeführte Projekte (DG-EV-HIL) einen hohen Reifegrad erreicht hat und auch bereits einfache Netzschnittstellen implementiert wurden bietet sich eine Betrachtung von DC-Netzen mit höherer Komplexität an. Im Rahmen dieses Projektes sollen die Grundlagen für die Entwicklung von Systemtests für komplexe Netzstrukturen mit einer höheren Anzahl an Schnittstellen und Applikationen (real und simuliert) im Niederspannungsnetz geschaffen werden.

Zudem sollen die Erkenntnisse basierend auf LV-Systemtests genutzt werden, um diese Methode in höhere Spannungsebenen (MV und HV) zu transformieren. Der Bedarf dafür ergibt sich aus dem konkreten Forschungsthema, dass vermehrt Technologien betrachtet werden, die verschiedene Spannungsebenen (MVLV: Solid State Transformer – SST mit DC-Zwischenkreis), Netzabzweige durch Entkopplung der Frequenz oder reine DC-Netze höherer Spannungsebenen (HVMV: HVDCDC Konverter) auf Basis von Leistungshalbleitern miteinander verbinden sollen. Aufgrund der zusätzlich zu betrachtenden Elemente in den Schnittstellen (z.B. Übertragungsfunktionen der Transformatoren und Gleichrichter) im Fall höherer Spannungsebenen stellt dies eine hohe Anforderung an die Überarbeitung der Grundlagen dieser Methode dar.

Im Rahmen dieses Projektes sollen die oben genannten Grundlagen geschaffen werden und darauf aufbauend die zugehörigen Konzepte einer möglichen Implementierung erarbeitet werden, wobei zur Absicherung von Projektrisiken Vergleichstests mit klassischen Methoden im Labor durchgeführt werden (TRL 2). Für ausgewählte Teilaspekte (komplexe LV-Netze, Systemtests im MV-Labor) soll ein Proof-of-Concept basierend auf entwickelten Konzepten durchgeführt werden (TRL 3).

Abstract

The continuous increase of power electronics components and systems on various voltage levels in the electricity grid (LV-low voltage, MV-medium voltage, HV-high voltage) lead to an ongoing discussion of DC-grids in research and industry. Besides existing applications like HVDC for transmission systems there are ongoing efforts to use those technologies also at lower voltage levels. Thereby the need for new testing methods for those systems is also increasing.

While AC-low voltage grids the system tests using the Power-Hardware-in-the-Loop (P-HIL) method have already achieved a relatively high readiness level, due to previously performed projects at AIT (DG-EV-HIL) and have been implemented for low complexity grid interfaces a new focus on DC-grids of higher complexity is the next step. The present project develops the principles for the system tests using highly complex grid topologies with multiple interfaces and applications (virtual and real) within low voltage DC-grids.

Further the current knowledge for this method based on LVAC systems will be used to transform this method to higher voltage levels (MV and HV). The need for this development is based on the current research focus which strives to connect different voltage levels by using power semiconductors (e.g. MVLV: Solid State Transformer – SST with DC-link) or help to connect grid branches by decoupling the frequency or voltage as well as pure DC-grids applications (HVMV: HVDCDC converters). Because of the additional elements to take into account for Hardware-in-the-Loop interfaces (e.g. transfer functions for transformers and rectifiers) the implementation of this method leads to increased requirements where basic principles still have to be understood.

The present project creates the above mentioned principles and subsequently the respective concepts for a possible implementation of the method have to be developed. Within the concept phase classical laboratory tests will be performed to minimize risks (TRL2). For well-defined parts of the project landscape (complex LV-grids, system tests in MV-laboratory) a proof-of-concept based will be performed (TRL3).

Projektkoordinator

- AIT Austrian Institute of Technology GmbH

Projektpartner

- Technische Universität Graz Institut für Hochspannungstechnik und Systemmanagement