

# SAFESAT

Fail-SAFE reconfigurable platform for SATellite missions

|                                 |   |                        |               |
|---------------------------------|---|------------------------|---------------|
| <b>Programm / Ausschreibung</b> | ASAP, ASAP, ASAP 10 Projekte                                  | <b>Status</b>          | abgeschlossen |
| <b>Projektstart</b>             | 01.04.2014  | <b>Projektende</b>     | 31.10.2015    |
| <b>Zeitraum</b>                 | 2014 - 2015   | <b>Projektlaufzeit</b> | 19 Monate     |
| <b>Keywords</b>                 | Mixed-criticality, OBC, Testbed, Nanosatellites, Partitioning |                        |               |

## Projektbeschreibung

Das SAFESAT Projekt verfolgt das Ziel, eine bodenbasierte Testplattform zur Evaluierung und Umsetzung von Experimenten in Klein-Satelliten zu erforschen und zu entwickeln. Dabei wird besonders auf die Anforderungen von Nanosatelliten in Bezug auf Größe, Gewicht und Energiebedarf Rücksicht genommen und eine maßgeschneiderte, hochperformante Plattformarchitektur mit wenigen, aber dafür sehr hoch-integrierten Hardware-Bauteilen entwickelt. Diese stellt durch Methoden wie Trennung, Isolierung und Virtualisierung sowohl auf Chip- als auch auf Netzwerkelevel vollständige Rückwirkungsfreiheit sicher. Dadurch wird eine sichere und zuverlässige Verwendung der Testplattform auch im Fall von häufiger Umkonfiguration ermöglicht. TTech konzentriert sich im Projekt auf die Weiterentwicklung der TTEthernet Netzwerktechnologie, die Integration des Betriebssystems und der eingesetzten weiteren Softwarekomponenten. TU Graz deckt in SAFESAT die Konzeption und Umsetzung der Hardware-Plattform ab und ist wesentlich an der Entwicklung der gemeinsamen Demonstrationsplattform beteiligt.

## Abstract

SAFESAT will provide a reconfigurable, safely partitioned ground based testbed for experiments in a small, plug & play satellite. The project addresses the size, weight and power requirements posed by nanosatellites in a computing architecture with a small number of highly integrated hardware components. Virtualization and partitioning on the chip and the network level allow for safe and reliable operation and freedom-of-interference on the high-performance platform. TTech will contribute with the TTEthernet network and integration of the partitioned operating system and software platform from its subcontractors, whereas the partner TU Graz will implement the electronics platform and focus on demonstration of the testbed platform.

## Projektkoordinator

- TTech Computertechnik AG

## Projektpartner

- Technische Universität Graz