

DARE SGA 1

Digital Autonomy for RISC-V in Europe (Specific Grant Agreement 1)

Programm / Ausschreibung	DST 24/26, Internationale DST, Nationale Ko-Finanzierung SGA for the development of a large-scale European initiative for HPC ecosystem based on Risc-V	Status	laufend
Projektstart	01.03.2025	Projektende	29.02.2028
Zeitraum	2025 - 2028	Projektlaufzeit	36 Monate
Barwert der Projektförderung	€ 461.051		
Keywords	High performance computing; Open Source Software; chiplet; SiP, AI, integration, HPC		

Projektbeschreibung

HPC Digital Autonomy with RISC-V in Europe (DARE) wird das europäische Defizit an digitaler Autonomie für Hochleistungsrechnen und KI durch die Entwicklung europäischer Produkte für Supercomputer für Forschung und Industrie beheben. Das Projekt baut auf der soliden Forschungsgrundlage von EPI, EUPILLOT, EUPEX, DEEP-SEA, eProcessor, MEEP und verwandten Projekten auf und nutzt die Vorteile des offenen RISC-V-Ökosystems, der Chiplet-Revolution und Open-Source-Software. Es ist die erste Phase des ehrgeizigen 6-Jahres-Plans, der im DARE FPA-Projekt beschrieben wurde, und definiert klare SMART-KPIs und Erfolgskriterien innerhalb und zwischen den einzelnen Phasen auf dem Weg zu einer europäischen digitalen Autonomie, unter Beachtung des aktuellen und zukünftigen Bedarfs an Rechenkapazität. Wir werden drei RISC-V-basierte Chiplets in fortschrittlicher Technologie entwickeln und auf den Markt bringen: einen Vektorbeschleuniger für hochpräzise HPC- und andere Anwendungen, einen KI-Inferenz-Beschleuniger für HPC KI-Anwendungen und einen auf HPC ausgerichteten europäischen Allzweckprozessor. Diese Chiplets bringen Kosten- und Ertragsvorteile, da sie die durch monolithische Chips auferlegten Größenbeschränkungen überwinden und in einer „Mix-and-Match“-Methode integriert werden können, um spezifische Systeme aufzubauen. DARE nutzt eine sorgfältig ausgewählte Menge der wichtigsten europäischen HPC- und KI-Anwendungen, um die Hardware- (HW) und Software- (SW) Entwicklungen in einem HW/SW-Co-Design-Schema voranzutreiben und sicherzustellen, dass die HW- und SW-Ergebnisse des Projekts den Anforderungen der europäischen HPC- und KI-Gemeinschaften entsprechen. Das Projekt wird einen vollständigen, für die DARE-Hardware optimierten, SW-Stack aufbauen, der diese Anwendungen unterstützt. Um rasche Fortschritte zu erzielen, werden SW- und HW-Entwicklungen parallel durchgeführt, wobei ein früher Zugang zur RISC-V-Hardwareemulation und -simulation genutzt wird. Schließlich wird das Projekt einen detaillierten technischen Fahrplan und eine Wegbeschreibung ausarbeiten, in der die wichtigsten Schritte und Meilensteine für die nächste Phase festgelegt werden, um das Ziel der nächsten Generation von EU-Supercomputern nach dem Exascale-Standard zu erreichen.

Abstract

HPC Digital Autonomy with RISC-V in Europe (DARE) will address Europe's deficit in digital autonomy for High Performance Computing and AI, by creating truly European products for European supercomputers for research and industry. The project builds upon the solid research foundation from EPI, EUPILLOT, EUPEX, DEEP-SEA, eProcessor, MEEP and related projects, and it takes advantage of the open RISC-V ecosystem, chiplet revolution and open-source software. It is the first phase of the ambitious 6-year plan set out in the DARE FPA proposal, and it defines clear intra- and inter-phase SMART KPIs and success criteria, on the road to European digital autonomy while supporting current and future computing needs. We will develop and tapeout, in advanced technology, three RISC-V-based chiplets: a vector accelerator for high-precision HPC and emerging applications, an AI Processing Unit inference accelerator for HPC AI applications and an HPC-focused European general-purpose processor. These chiplets bring cost and yield advantages by going beyond the reticle size limitations imposed by monolithic chips and they will be integrated in a mix-and-match fashion to build specific systems. DARE uses a carefully selected set of the most significant European HPC and AI applications to drive hardware (HW) and software (SW) activities in a HW/SW co-design scheme, in order to ensure that the project's HW and SW results meet the requirements of the European HPC and AI communities. It will build a complete SW stack, optimized for DARE HW, that supports these cutting-edge applications. To make rapid progress, SW and HW developments proceed in parallel, leveraging early access to RISC-V hardware emulation and simulation. Finally, the project will elaborate a detailed technical roadmap and pathfinding, defining the major steps and milestones to be followed in the next phase, in order to achieve the goal of next-generation post-exascale EU supercomputers.

Projektpartner

- Silicon Austria Labs GmbH